

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

GATE TURN-OFF THYRISTOR

Patent Number: JP1111375
Publication date: 1989-04-28
Inventor(s): KIRIHATA FUMIAKI
Applicant(s): FUJI ELECTRIC CO LTD
Requested Patent: ☐ JP1111375
Application Number: JP19870269706 19871026
Priority Number(s):
IPC Classification: H01L29/74
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase a controllable electric current by a method wherein a width of an insulating film is made wider than that of a parallel part in a longitudinal direction at both ends in the longitudinal direction of a strip-shaped segment of a gate turnoff (GTO) thyristor.

CONSTITUTION: In an oxide film 6 surrounding an applied part of an emitter electrode in a case when a strip-shaped protruding segment is projected on a face parallel to the surface including the side, a width d2 of the oxide film at the outside of a nearly circular part in a longitudinal direction is made wide as compared with a width d2 of a band of the oxide film in a narrow part of the strip-shaped segment. When the width of the oxide film at both ends in the longitudinal direction of the segment is widened in this manner, a p-n junction face exposed part 5 can be surely covered with the oxide film. By this setup, it is possible to reduce a base transverse-direction resistance value from a part directly under an emitter to a gate electrode and to obtain a GTO thyristor whose controllable electric current has been increased without lowering a reverse-breakdown strength value.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平1-111375

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)4月28日

H 01 L 29/74

C-7376-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 ゲート・ターン・オフ・サイリスタ

⑮ 特 願 昭62-269706

⑯ 出 願 昭62(1987)10月26日

⑰ 発 明 者 桐 畑 文 明 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 ゲート・ターン・オフ・サイリスタ

2. 特許請求の範囲

1) 交互に異なる導電型を有する内側の二つのベース層と外側の二つの層からなる4層よりなり、一方の第一導電型のエミッタ層が複数の短冊状の突出部として形成されてその表面にエミッタ電極が形成され、その間の低部に存在する第二導電型のベース層の表面にゲート電極が設けられ、エミッタ電極とゲート電極の間へのp-n接合の露出部が絶縁膜で覆われるものにおいて、短冊状エミッタ層表面の長手方向平行部の外側の絶縁膜の幅よりエミッタ層表面長手方向両端部の外側の絶縁膜の幅が広いことを特徴とするゲート・ターン・オフ・サイリスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、交互に異なる導電型を有する内側の二つのベース層と外側の二つのエミッタ層からなる四つの層からなり、一方の第一導電型

のエミッタ層が複数の短冊状の突出部として形成され、その間に存在する第二導電型のベース層の表面にゲート電極が設けられるゲート・ターン・オフ(以下GTOと記す)サイリスタに関する、
[従来の技術]

上述のような短冊状メサ形nエミッタ構造を持つGTOサイリスタの断面を第2図に示す。シリコン基板10は、p形およびn形の二つの異なる導電領域が相接したpnpnの4層からなり、一方の主面には短冊状の分離独立したnエミッタ層1が形成されるとともに中間層のpベース層2が露出している。pベース層2の他方にはnベース層3、pエミッタ層4が形成されている。nエミッタとpベース界面のpn接合5が前記nエミッタ層1を含む短冊状凸部(以下セグメントと略す)の側面に露出しており、酸化膜6によって保護されている。このセグメントの頂部にはカソード電極71が、pベース層2の露出部にはゲート電極72が、他方の主面側のpエミッタ層4にはアノード電極73がそれぞれ設けられている。

第3図には、位GTOサイリスタであるセグメント20を同心円状に配置したGTOサイリスタの一例を番線10の平面図で示す。セグメント20は、通常短冊状の形をしており、長手方向の両端はほぼ円弧状である。

(発明が解決しようとする問題点)

セグメント20は通常、ふっ酸研蝕混合液からエッチング液を用いて形成する。このエッチングには、シリコンからなる半導体基体をエッチング液にひたし、半導体基体を回転させる回転エッチング法が従来行われている。この回転エッチング法は、単にエッチング液にひたす場合に比べて均等にエッチングできる利点がある。この場合、エッチング深さを深くすると、 n エミッタ1の直下でゲート電極72までの横方向抵抗8が大きくなり、可制御電流が小さくなるので、この深さを浅くする必要がある。同時にゲート電極72の端をなるべく p - n 接合5に近付ける必要がある。

p - n 接合5の露出部を保護する酸化膜6は、露出部表面に酸化膜を成膜した後ホトエッチングに

を施くすると図22の曲率が小さくなり、この不良が発生しやすい。この不良を防止するには酸化膜6の幅を広くすることが有効であるが、上述のようにこれには制約がある。

本発明の目的は、上記の問題を解決し、セグメントのエミッタ直下からゲート電極までの横方向抵抗を小さくして可制御電流の向上を図ったGTOサイリスタのエミッタと隣接ベース間の p - n 接合が酸化膜に完全に覆われ、逆耐圧不良をなくすることにある。

(問題点を解決するための手段)

上記の目的を達成するために、本発明は、交互に異なる導電型を有する内側の二つのベース層と外側の二つの層からなる隣接する4層よりなり、一方の第一導電型のエミッタ層が複数の短冊状の突出部として形成されてその表面にエミッタ電極が設けられ、その間の底部に存在する第二導電型のベース層の表面にゲート電極が設けられ、エミッタ電極とゲート電極の間の表面への p - n 接合の露出部が絶縁膜で覆われるGTOサイリスタにお

より同一幅に形成されるが、その幅を広くするとゲート電極72の端と p - n 接合5との距離が長くなり、横方向抵抗8が大きくなる。

第4図(4)はセグメント部20表面に平行な面への酸化膜6の投影図で、そのA-A'線、B-B'線断面を第4図(4)に示す。回転エッチング法で行なう場合、シリコン基板10表面のエッチング液の流れは放射状となり、セグメント20の幅の狭い長手方向平行部のエッチング液の流れは円滑で、第4図(4)のA-A'線断面における第4図(4)のエッチング面21に示すように p - n 接合5の露出部が確実に酸化膜6で覆われている。しかし、両端のほぼ円弧状の部分でのエッチング液の流れは円滑でなく、第4図(4)のB-B'線断面における第4図(4)のエッチング面22に示すようにエッチングが不十分な状態になり、 p - n 接合部5が酸化膜6に覆われなくなる。後の工程によりゲート電極72を形成すると、酸化膜6よりはみ出した p - n 接合部5がゲート電極72と接触するため、ゲート72とカソード71の間の逆耐圧の不良が発生する。特にエッチング深さ

いて、短冊状エミッタ層表面の長手方向平行部の外側の絶縁膜の幅よりエミッタ層表面の長手方向両端部の外側の絶縁膜の幅が広いものとする。

(作用)

短冊状エミッタ層長手方向両端部の外側の p - n 接合を覆う絶縁膜の幅を広くすることにより、エッチング不足でエミッタ層表面から p - n 接合の露出部までの距離が大きい場合も絶縁膜が p - n 接合を確実に覆うため、逆耐圧不良の発生することがない。

(実施例)

第1図に本発明の一実施例を示す。短冊状に突出したセグメントを側面を含めて表面に平行な面に投影した場合のエミッタ電極の被覆部を囲む酸化膜6の形状を示す。短冊状セグメントの狭幅部の酸化膜の幅4に比べ長手方向のほぼ円弧部の外側の酸化膜の幅4_dは広がっている。

狭幅部の酸化膜幅の4_dを従来の値の90 μ mにした場合でも、両端での酸化膜の幅を260 μ mにした場合は、凸状セグメントを形成するゲートエッチ

ング深さを従来よりも5〜10 μ 浅くしてもゲート・カソード間の逆耐圧の低下は発生しなかった。このことは、セグメントの長手方向両端部酸化膜幅を広げたことにより、pn接合露出部5を確実に酸化膜により覆うことが可能であることを意味する。

このように、ゲートエッチング深さを浅くすることによってpベース横方向抵抗8が低下し、可制御電流が20〜30%増大した。GTOサイリスタのターン・オフ時のゲート電圧72よりのゲート電流引きぬきに関しては、セグメントの長手方向両端部において酸化膜幅 d_2 を大きくすることによりnエミッタとゲート電極間距離は広がるが、セグメントの長手方向平行部で均等にゲート電流の引きぬきが達成されるので、可制御電流に何ら悪影響を与えない。

第5図、第6図に他の実施例を示す。第5図の実施例では酸化膜の輪郭もセグメントと同様に両端が円弧状ではあるが相似形ではなく、 d_2 が d_1 より広い。第6図の実施例では酸化膜5は両端でセ

グメントの長手方向に直角方向にも幅 d_2 を d_1 より広くとっている。以上の本発明 実施例は、短冊状セグメント20を第3図に示すように基板10に放射状に配置した場合であって、GTOエレメントの中心方向に近い一方の端部と外周側の他方の端部については、その広げた酸化膜の幅は両方とも同じであってもよいが、外周側ではpn接合の形がくずれやすいので外周側端部の酸化膜の幅の方を広くすることも有効である。しかし、本発明はセグメントの端部形状やその配置方法によって制限されるものではない。またpn接合露出部を覆い、エミッタ電極71とゲート電極72との間を絶縁する保護膜は酸化膜6以外の絶縁膜であってもよい。

(発明の効果)

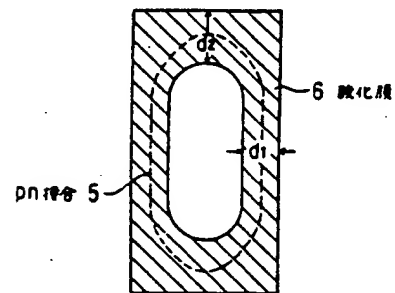
本発明によれば、GTOサイリスタの短冊状セグメントの長手方向両端部で絶縁膜の幅を長手方向平行部より広くすることにより、セグメント形成のためのエッチング深さを浅くしてもセグメント両端部でのpn接合露出部が絶縁膜で覆われな

いおそれが除かれ、エミッタ直下からゲート電極までのベース横方向抵抗を減少させて可制御電流の増大したGTOサイリスタを逆耐圧低下なしに得ることができた。

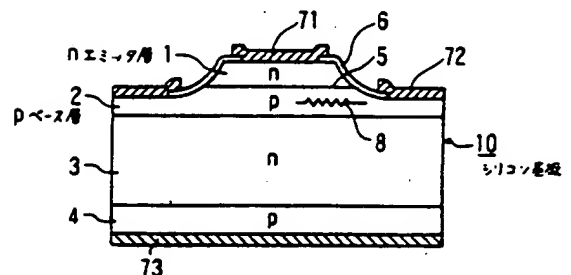
4. 図面の簡単な説明

第1図は本発明の一実施例の酸化膜のセグメント表面に平行な面への投影図、第2図はGTOサイリスタの要部断面図、第3図はGTOサイリスタ基板の平面図、第4図(a)、(b)は従来のGTOサイリスタの問題点を示し、(a)は第1図と同様の酸化膜投影図、(b)は(a)のA-A'線およびB-B'線における断面図、第5図、第6図はそれぞれ本発明の異なる実施例の第1図と同様の酸化膜投影図である。

1: nエミッタ層、2: pベース層、5: pn接合、6: 酸化膜、10: シリコン基板、20: セグメント。



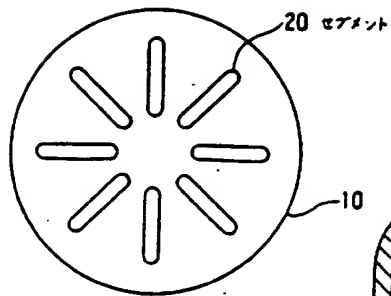
第1図



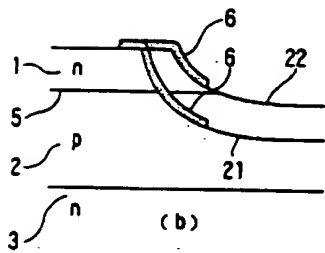
第2図

代理人山崎 山

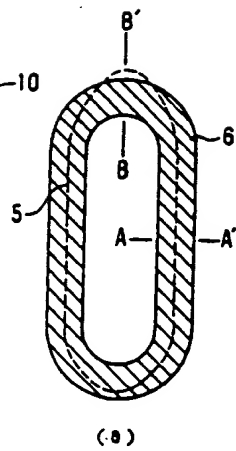




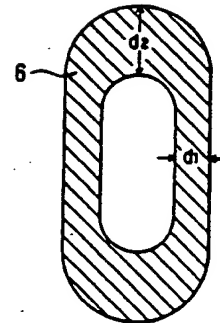
第3図



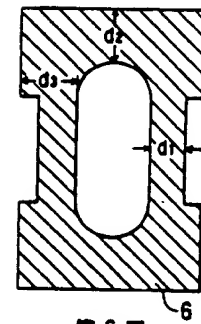
第4図



(a)



第5図



第6図